

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC929 U.S. PTO  
09/017136  
03/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日

Date of Application:

2000年 6月12日

出願番号

Application Number:

特願2000-175013

願人

Applicant(s):

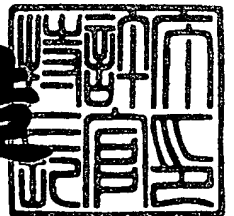
沖電気工業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 7月28日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3059620

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Art Unit : To Be Assigned  
Examiner: To Be Assigned

In re Patent Application of

Applicant : Shinji HIRATSUKA )

Appln. No.: To Be Assigned )

Filed : March 27, 2001 )

For : SERIAL BUS DATA CONTROL )  
DEVICE )

Att'y Dkt. : 32178-170563 )

CLAIM FOR PRIORITY

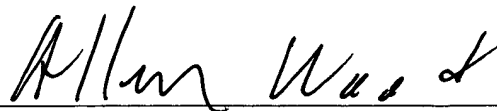
March 27, 2001

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

It is respectfully requested that the above-identified application be given the benefit under 35 USC 119 of the foreign filing date of Japanese Application 175013/2000, filed June 12, 2000. A certified copy of the Japanese application is attached..

Respectfully submitted,



Allen Wood  
Registration No. 28,134  
VENABLE  
P.O. Box 34385  
Washington, D.C. 20043-9998  
Telephone : (202) 962-4800  
Direct Dial: (202) 962-4058  
Telefax : (202) 962-8300

AW/SJB  
#273609

#2  
Priority  
Paper  
MMA  
6/20/01  
Jc929 U.S. PTO  
09/817136  
03/27/01

【書類名】 特許願

【整理番号】 SA003524

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/08

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
社内

【氏名】 平塚 真史

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100082050

【弁理士】

【氏名又は名称】 佐藤 幸男

【手数料の表示】

【予納台帳番号】 058104

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9100477

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアルバスデータ転送制御装置

【特許請求の範囲】

【請求項 1】 コンピュータと周辺機器間に配置され、データの転送を制御するシリアルバスデータ転送制御装置であって、所定のシリアルバスから連続して送られてくる所定長の実データに所定長のヘッダと所定長のフッタが付加されたパケットを受け入れて、このパケットのヘッダから順番にフッタまで所定単位長のデータに分解して、前記順番に従ってアドレス指定を行うリンク層コントロール部と、アドレス指定された前記所定単位長のデータを受け入れて一時保持し、ローカルバスへ送出するデータ一時格納部とを含み、

前記リンク層コントロール部には、

前記所定単位長のデータが前記ヘッダ部分であるときはインクリメント信号の生成を停止し、前記所定単位長のデータが前記ヘッダ部分を終了後から、前記フッタ部分終了までの間インクリメント信号を生成するインクリメント信号生成部と、

前記インクリメント信号生成部が前記フッタ部分終了までインクリメント信号を生成した後に前記フッタ部分に相当する前記所定単位長の個数分ディクリメント信号を生成するディクリメント信号生成部と、

前記インクリメント信号と前記ディクリメント信号とに基づいて前記データ一時格納部内に前記所定単位長のデータが一時格納されるアドレスを指定するアドレス生成部とを備え、

前記パケットから前記ヘッダと前記フッタとを除いて前記実データのみを前記データ一時格納部に一時保持させるバッファアドレスコントロール手段が配置されることを特徴とするシリアルバスデータ転送制御装置。

【請求項 2】 請求項 1 に記載のシリアルバスデータ転送制御装置において

前記データ一時格納部は、

前記ヘッダ部分と前記フッタ部分とを一時格納する制御データ領域と、

前記実データ部分を一時格納する実データ領域とに分割され、

前記リンク層コントロール部には、

前記ヘッダ部分開始から前記ヘッダ部分終了まで制御データインクリメント指示信号を出力し、前記データ部分開始から前記データ部分終了まで実データインクリメント指示信号を出力し、前記フッタ部分開始から前記フッタ部分終了まで制御データインクリメント指示信号を出力するインクリメント指示部と、

前記インクリメント指示部から制御データインクリメント指示信号を受け入れ中は、前記制御データ領域のアドレスをインクリメントする制御データアドレス生成部と、

前記インクリメント指示部から実データインクリメント指示信号を受け入れ中は、前記実データ領域のアドレスをインクリメントする制御データアドレス生成部と、

前記インクリメント指示部から前記制御データインクリメント指示信号を受け入れ中は、前記制御データアドレス生成部と前記制御データ領域とを接続し、前記インクリメント指示部から前記制御データインクリメント指示信号の受け入れを停止している間は、前記実データアドレス生成部と前記実データ領域とを接続する領域切替部とを備え、

前記、ヘッダとフッタとを前記制御データ領域に一時保持させ、前記実データを前記実データ領域に一時保持させるバッファアドレスコントロール手段が配置されることを特徴とするシリアルバスデータ転送制御装置。

【請求項3】 請求項2に記載のシリアルバスデータ転送制御装置において

前記インクリメント指示部は、

前記リンク層コントロール部がパケットを受け入れた時、カウンタセット信号を出力するイネーブルレジスタと、

前記カウンタセット信号を受け入れたとき前記ヘッダの所定長に相当するカウント数がセットされ、ライト信号を受け入れる毎にカウントダウンされ、カウント0以降に所定符号の出力を維持するヘッダ用カウンタと、

前記カウンタセット信号を受け入れたとき前記実データの所定長に前記フッタの所定長を加算した値に相当するカウント数がセットされ、ライト信号を受け入

れる毎にカウントダウンされ、カウント 0 以降に所定符号の出力を維持するデータ用カウンタと、

前記ヘッダ用カウンタの出力と前記データ用カウンタの出力とから前記制御データインクリメント指示信号と前記実データインクリメント指示信号とを生成する複数のゲートとを備えることを特徴とするシリアルバスデータ転送制御装置。

【請求項 4】 請求項 2 又は請求項 3 に記載のシリアルバスデータ転送制御装置において、

前記制御データ領域は、第一の制御データ格納エリアから第 N の制御データ格納エリアまで複数の (N 個) に分割され、

前記実データ領域は、第一の実データ格納エリアから第 N の実データ格納エリアまで複数の (N 個) に分割され、

前記リンク層コントロール部は、

第一から第 N まで複数の (N 個) のバッファアドレスコントロール手段を備え、

前記第一から前記第 N までのバッファアドレスコントロール手段までと各々対応する前記第一から前記第 N までの制御データ格納エリア、又は前記第一から前記第 N までの実データ格納エリアとを接続するノードデータ切替部とを備え、

第一から第 N まで複数のノードからパケットを受け入れたときに、第一のノードから受け入れたパケットのヘッダとフッタとを前記第一の制御データ領域に一時保持させ、前記実データ部分を前記第一の実データ領域に一時保持させ、同様に、第 N のノードから受け入れたパケットまで、それぞれ対応する制御データ格納エリア又は実データ格納エリアに一時保持させることを特徴とするシリアルバスデータ転送制御装置。

【請求項 5】 請求項 4 に記載のシリアルバスデータ転送制御装置において、

前記制御データアドレス生成部は、

前記自己に対応する制御データ格納エリアの開始アドレスと終了アドレスとを指定する制御データ開始終了アドレスレジスタを備え、

前記実データアドレス生成部は、

前記自己に対応する実データ格納エリアの開始アドレスと終了アドレスを指定する実データ開始終了アドレスレジスタを備え、

前記リンク層コントロール部は、動作開始時に前記制御データ開始終了アドレスレジスタと前記実データ開始終了アドレスレジスタを制御して前記第一の制御データ格納エリアから前記第Nの制御データ格納エリアまでと前記第一の実データ格納エリアから前記第Nの実データ格納エリアまでとを指定し、第一のノードから第Nのノードまで複数のノードからパケットを受け入れたときに、第一のノードから受け入れたパケットのヘッダとフッタとを前記第一の制御データ領域に一時保持させ、前記実データを前記第一の実データ領域に一時保持させ、同様に、第Nのノードから受け入れたパケットまで、それぞれ対応する制御データ格納エリア又は実データ格納エリアに一時保持させることを特徴とするシリアルバスデータ転送制御装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、例えばIEEE1394シリアルバス等に用いて有効なシリアルバスデータ転送制御装置に関する。

##### 【0002】

#### 【従来の技術】

例えばIEEE1394シリアルバス（以後1394バスと記す）等において1394バスからデータを受信する場合は、以下の2通りである。即ち、リードリクエスト送信によるディスティネーションノードからの読み込みと、ライトリクエスト受信によるソースノードからのデータ書き込みとである。何れの場合にも実データの前後に制御情報として、それぞれ数バイトのヘッダとフッタが付加されてパケットが構成される。このパケットがシリアルデータとして順次送られてくる。

ここでIEEE1394とはコンピュータと周辺機器（ノード）とのデータの送受信に関する米国電気・電子技術者協会の標準規格をいう。

## 【 0 0 0 3 】

## 【発明が解決しようとする課題】

I E E E 1 3 9 4 バス上の 1 パケットで転送可能なデータバイト数には制限があり、制限バイト数以上の実データブロックを転送する場合には、ブロックを分割して複数パケットに構成する必要がある。この場合に前後にヘッダとフッタが付加されるため実データの連続性を維持できなくなるという解決すべき問題が残されていた。

## 【 0 0 0 4 】

## 【課題を解決するための手段】

本発明は以上の点を解決するため次の構成を採用する。

## 〈構成 1〉

コンピュータと周辺機器間に配置され、データの転送を制御するシリアルバスデータ転送制御装置であって、所定のシリアルバスから連続して送られてくる所定長の実データに所定長のヘッダと所定長のフッタが付加されたパケットを受け入れて、このパケットのヘッダから順番にフッタまで所定単位長のデータに分解して、上記順番に従ってアドレス指定を行うリンク層コントロール部と、アドレス指定された上記所定単位長のデータを受け入れて一時保持し、ローカルバスへ送出するデータ一時格納部とを含み、上記リンク層コントロール部には、上記所定単位長のデータが上記ヘッダ部分であるときはインクリメント信号の生成を停止し、上記所定単位長のデータが上記ヘッダ部分を終了後から、上記フッタ部分終了までの間インクリメント信号を生成するインクリメント信号生成部と、上記インクリメント信号生成部が上記フッタ部分終了までインクリメント信号を生成した後に上記フッタ部分に相当する上記所定単位長の個数分デクリメント信号を生成するデクリメント信号生成部と、上記インクリメント信号と上記デクリメント信号とに基づいて上記データ一時格納部内に上記所定単位長のデータが一時格納されるアドレスを指定するアドレス生成部とを備え、上記パケットから上記ヘッダと上記フッタとを除いて上記実データのみを上記データ一時格納部に一時保持させるバッファアドレスコントロール手段が配置されることを特徴とするシリアルバスデータ転送制御装置。



## 【 0 0 0 5 】

## 〈構成 2〉

構成 1 に記載のシリアルバスデータ転送制御装置において、上記データ一時格納部は、上記ヘッダ部分と上記フッタ部分とを一時格納する制御データ領域と、上記実データ部分を一時格納する実データ領域とに分割され、上記リンク層コントロール部には、上記ヘッダ部分開始から上記ヘッダ部分終了まで制御データインクリメント指示信号を出力し、上記データ部分開始から上記データ部分終了まで実データインクリメント指示信号を出力し、上記フッタ部分開始から上記フッタ部分終了まで制御データインクリメント指示信号を出力するインクリメント指示部と、上記インクリメント指示部から制御データインクリメント指示信号を受け入れ中は、上記制御データ領域のアドレスをインクリメントする制御データアドレス生成部と、上記インクリメント指示部から実データインクリメント指示信号を受け入れ中は、上記実データ領域のアドレスをインクリメントする制御データアドレス生成部と、上記インクリメント指示部から上記制御データインクリメント指示信号を受け入れ中は、上記制御データアドレス生成部と上記制御データ領域とを接続し、上記インクリメント指示部から上記制御データインクリメント指示信号の受け入れを停止している間は、上記実データアドレス生成部と上記実データ領域とを接続する領域切替部とを備え、上記、ヘッダとフッタとを上記制御データ領域に一時保持させ、上記実データを上記実データ領域に一時保持させるバッファアドレスコントロール手段が配置されることを特徴とするシリアルバスデータ転送制御装置。

## 【 0 0 0 6 】

## 〈構成 3〉

構成 2 に記載のシリアルバスデータ転送制御装置において、上記インクリメント指示部は、上記リンク層コントロール部がパケットを受け入れた時、カウンタセット信号を出力するイネーブルレジスタと、上記カウンタセット信号を受け入れたとき上記ヘッダの所定長に相当するカウント数がセットされ、ライト信号を受け入れる毎にカウントダウンされ、カウント 0 以降に所定符号の出力を維持するヘッダ用カウンタと、上記カウンタセット信号を受け入れたとき上記実データ

の所定長に上記フッタの所定長を加算した値に相当するカウント数がセットされ、ライト信号を受け入れる毎にカウントダウンされ、カウント 0 以降に所定符号の出力を維持するデータ用カウンタと、上記ヘッダ用カウンタの出力と上記データ用カウンタの出力とから上記制御データインクリメント指示信号と上記実データインクリメント指示信号とを生成する複数個のゲートとを備えることを特徴とするシリアルバスデータ転送制御装置。

## 【 0 0 0 7 】

## 〈構成 4〉

構成 2 又は構成 3 に記載のシリアルバスデータ転送制御装置において、上記制御データ領域は、第一の制御データ格納エリアから第 N の制御データ格納エリアまで複数個（N 個）に分割され、上記実データ領域は、第一の実データ格納エリアから第 N の実データ格納エリアまで複数個（N 個）に分割され、上記リンク層コントロール部は、第一から第 N まで複数個（N 個）のバッファアドレスコントロール手段を備え、上記第一から上記第 N までのバッファアドレスコントロール手段までと各々対応する上記第一から上記第 N までの制御データ格納エリア、又は上記第一から上記第 N までの実データ格納エリアとを接続するノードデータ切替部とを備え、第一から第 N まで複数のノードからパケットを受け入れたときに、第一のノードから受け入れたパケットのヘッダとフッタとを上記第一の制御データ領域に一時保持させ、上記実データ部分を上記第一の実データ領域に一時保持させ、同様に、第 N のノードから受け入れたパケットまで、それぞれ対応する制御データ格納エリア又は実データ格納エリアに一時保持させることを特徴とするシリアルバスデータ転送制御装置。

## 【 0 0 0 8 】

## 〈構成 5〉

構成 4 に記載のシリアルバスデータ転送制御装置において、上記制御データアドレス生成部は、上記自己に対応する制御データ格納エリアの開始アドレスと終了アドレスとを指定する制御データ開始終了アドレスレジスタを備え、上記実データアドレス生成部は、上記自己に対応する実データ格納エリアの開始アドレスと終了アドレスを指定する実データ開始終了アドレスレジスタを備え、上記リン

ク層コントロール部は、動作開始時に上記制御データ開始終了アドレスレジスタと上記実データ開始終了アドレスレジスタを制御して上記第一の制御データ格納エリアから上記第Nの制御データ格納エリアまでと上記第一の実データ格納エリアから上記第Nの実データ格納エリアまでとを指定し、第一のノードから第Nのノードまで複数のノードからパケットを受け入れたときに、第一のノードから受け入れたパケットのヘッダとフッタとを上記第一の制御データ領域に一時保持させ、上記実データを上記第一の実データ領域に一時保持させ、同様に、第Nのノードから受け入れたパケットまで、それぞれ対応する制御データ格納エリア又は実データ格納エリアに一時保持させることを特徴とするシリアルバスデータ転送制御装置。

## 【 0 0 0 9 】

## 【発明の実施の形態】

以下、本発明の実施の形態を具体例を用いて説明する。

## 〈具体例 1 の構成〉

図 1 は、具体例 1 の構成のブロック図である。

図 1 を用いて具体例 1 の構成について説明する前に、本発明によるシリアルバスデータ転送制御装置の全体構成について説明する。

## 【 0 0 1 0 】

図 2 は、シリアルバスデータ転送制御装置のブロック図である。

(a) は構成のブロック図であり、(b) はデータ一時格納部 1 3 に格納されているデータの状態を表している図である。

図 2 より本発明によるシリアルバスデータ転送制御装置 1 0 は、コンピュータと周辺機器（ノード）間に配置されデータの転送を制御する装置であって、物理層コントロール部 1 1 と、リンク層コントロール部 1 2 と、データ一時格納部（バッファ） 1 3 とを備える。

## 【 0 0 1 1 】

物理層コントロール部 1 1 は、シリアルデータを隣接する周辺機器（ノード）との間で忠実に伝送するため、信号電圧やモデム、ネットワークインタフェースカード等の電気的特性、及びコネクタ形式やピン数等の物理的特性を規定する部

分である。

リンク層コントロール部 1 2 は、周辺装置（ノード）との間のデータ伝送の制御手順を規定する部分である。即ち、例えば 1 3 9 4 バスから連続して送られてくる所定長の実データに所定長のヘッダと所定長のフッタを付加したパケットを受け入れて、このパケットのヘッダから順番にフッタまで所定単位長のデータに分解して、順番に従ってアドレス指定を行うリンク層コントロール部分である。本発明は、このアドレス指定に関する。

#### 【 0 0 1 2 】

データ一時格納部（バッファ） 1 3 は、アドレス指定された上記所定単位長のデータを受け入れて一時保持し、ローカルバスへパラレルデータとして送出する部分である。データが一時保持されている状態について説明する。

図 2 の（b）に示す通り、図の上から順番にヘッダ、実データ、フッタのデータが格納されている。ここでは一例としてヘッダの所定長を 2 0 バイト、実データの所定長を 1 0 0 0 バイト、フッタの所定長を 4 バイトと定める。更に、一つの番地に格納されるデータの所定単位長を一例として 1 バイトと定める。

#### 【 0 0 1 3 】

図に示すように実データの前後にヘッダ 2 0 バイトとフッタ 4 バイトが格納されている。即ち、前後にヘッダとフッタが付加されているため実データの連続性が維持されていない。

本発明の目的は、実データの連続性を維持することにある。

この目的を達成するために本発明によるシリアルバスデータ転送制御装置は、リンク層コントロール部 1 2（図 2）に以下に説明するバッファアドレスコントロール手段を備える。

#### 【 0 0 1 4 】

再度図 1 に戻って、本発明によるシリアルバスデータ転送制御装置が備える具体例 1 のバッファアドレスコントロール手段について説明する。

図 1 より、具体例 1 のバッファアドレスコントロール手段 1 は、インクリメント信号生成部 2 と、デクリメント信号生成部 3 と、アドレス生成部 4 と、インーブルレジスタ 5 とを備える。

## 【 0 0 1 5 】

インクリメント信号生成部 2 は、上記所定単位長（一例として 1 バイト）のデータが前記ヘッダ部分であるときはインクリメント信号の生成を停止し、上記所定単位長のデータが上記ヘッダ部分を終了後から、上記フッタ部分終了までの間インクリメント信号を生成する部分である。ヘッダ用繰返しカウンタ 6 と、アンドゲート 7 とによって構成される。

## 【 0 0 1 6 】

ディクリメント信号生成部 3 は、上記インクリメント信号生成部 2 がフッタ部分終了までインクリメント信号の生成をした後に前記フッタ部分に相当する前記所定単位長の個数分ディクリメント信号を生成する部分である。インバータ 8 とフッタ用繰返しパルスジェネレータ 9 とによって構成される。

## 【 0 0 1 7 】

アドレス生成部 4 は、上記インクリメント信号と上記ディクリメント信号とに基づいて上記データ一時格納部 1 3（図 2）内に所定単位長（1 バイト）のデータが一時格納されるアドレスを指定する部分である。

イネーブルレジスタ 5 は、上記ディクリメント信号生成部 3 を制御してディクリメント信号を生成する部分である。

## 【 0 0 1 8 】

## ＜具体例 1 の動作＞

動作説明の前提条件を以下のように定める。

## 前提条件 1

上記実データ長を 1 0 0 0 バイトと定めその前後に制御データとして、ヘッダ 2 0 バイト、フッタ 4 バイトが付加されているものとする（図 2 の（b）に相当する）。

## 前提条件 2

データ一時格納部 1 3（図 2）内に一時格納されるデータの所定単位長を 1 バイトと定める。

## 【 0 0 1 9 】

図 1 を参照しながら具体例 1 によるバッファアドレスコントロール手段 1 の動

作について説明する。

#### ステップ S 1

リンク層コントロール部 1 2 (図 2) が、物理層コントロール部 1 1 (図 2) からパケットの受け入れを開始したとき、ヘッダ用繰返しカウンタ 6 にヘッダ 2 0 バイトを所定単位長 1 バイトで除した値 2 0 がセットされる。以後ヘッダ用繰返しカウンタ 6 はライト信号を受け入れる毎にカウントダウンされる。

【 0 0 2 0 】

#### ステップ S 2

ヘッダ用繰返しカウンタ 6 は、ライト信号を上記 2 0 個受け入れるまではインクリメント指示信号 (+) を出力しないのでアドレス生成部 4 は動作を停止している。従って、(b) 図の領域 (1) にヘッダ部分 2 0 バイトが上書きされる。

【 0 0 2 1 】

#### ステップ S 3

2 1 個目のライト信号によって、(b) 図の領域 (1) に実データの最初の 1 バイトが上書き保存されると同時に、ヘッダ用繰返しカウンタ 6 はインクリメント指示信号 (+) をアンドゲート 7 へ出力する。従ってインクリメント信号がインクリメント信号生成部 2 からアドレス生成部 4 へ出力される。以後、アドレス生成部 4 は、ライト信号に同期して領域 (2) の先頭から順にアドレスを指定する。

【 0 0 2 2 】

#### ステップ S 4

2 2 個目のライト信号から 1 0 2 1 個目のライト信号によって実データからフッタ部分まで 1 パケット分の全データが領域 (2)、領域 (3)、領域 (4)、領域 (5) の一部まで順番に格納される。

【 0 0 2 3 】

#### ステップ S 5

リンク層コントロール部 1 2 (図 2) が 1 パケット分の全データを受け入れたとき、イネーブルレジスタ 5 はディクリメント指示信号をディクリメント信号生成部 3 へ送る。フッタ用繰返しパルスジェネレータ 9 はインバータ 8 を介してデ

イクリメント指示信号を受け入れたとき予め定められている個数ディクリメント信号を出力する。即ち、フッタ部分のバイト長分出力する（ここでは前提条件 1 より 4 個）。

#### 【0024】

##### ステップ S 6

アドレス生成部 4 は、ディクリメント信号 4 個を受け入れたときアドレス指定を 4 減ずる。従って、後に続くパケットの格納は、今回のパケットのフック部分の最初のバイトが格納された領域（4）を上書きして、再度領域（4）から格納開始される。

以後、後に続くパケットの格納は上記ステップ S 1 ～ステップ S 6 の繰り返しによって行われる。

以上の結果、（b）に示すようにヘッダ 20 バイトとフッタ 4 バイトでは、実データが上書き保存され実質的に実データの連続性が維持される。

#### 【0025】

##### 〈具体例 1 の効果〉

以上説明したように、具体例 1 によるシリアルバスデータ転送制御装置によれば、実質的にヘッダとフッタとを取り除いた実データのみが格納されることとなるため実データの連続性が維持されるという効果を得る。

#### 【0026】

##### 〈具体例 2 の構成〉

具体例 2 では、データ一時格納部の領域を 2 分割し、一方の領域（制御データ領域）に制御データ（ヘッダとフッタ）を一時格納し、他方の領域（実データ領域）に実データを一時格納し、実質的に実データ領域の連続性を維持する。

#### 【0027】

本発明によるシリアルバスデータ転送制御装置が備える具体例 2 のバッファアドレスコントロール手段について説明する。

図 3 は、具体例 2 の構成のブロック図である。

（a）は、構成のブロック図であり、（b）はデータ一時格納部 13（図 2）に格納されているデータの状態を表している図である。

図3(a)より、具体例2のバッファアドレスコントロール手段21は、イネーブルレジスタ5と、インクリメント指示部22と、制御データアドレス生成部23と、実データアドレス生成部24と、領域切替部25とを備える。

(b)より、データ一時格納部13(図2)は、制御データ領域(c)と実データ領域(d)とに分割されている。

#### 【0028】

イネーブルレジスタ5は、リンク層コントロール部12(図2)の指示に基づいてカウンタセット信号を出力する部分である。

インクリメント指示部22は、上記ヘッダ部分開始からヘッダ部分終了まで制御データインクリメント指示信号を出力し、上記実データ部分開始から実データ部分終了まで実データインクリメント指示信号を出力し、上記フッタ部分開始からフッタ部分終了まで制御データインクリメント指示信号を出力する部分である。データ用カウンタ26と、ヘッダ用カウンタ27と、オアゲート28とインバータ29と、アンドゲート30とによって構成される。

#### 【0029】

制御データアドレス生成部23は、上記インクリメント指示部22から制御データインクリメント指示信号を受け入れている間は、上記制御データ領域のアドレスをインクリメントするアドレスカウンタである。

実データアドレス生成部24は、上記インクリメント指示部22から実データインクリメント指示信号を受け入れている間は、前記実データ領域のアドレスをインクリメントするアドレスカウンタである。

#### 【0030】

領域切替部25は、上記インクリメント指示部22から上記制御データインクリメント指示信号を受け入れている間は、上記制御データアドレス生成部23と上記制御データ領域とを接続し、上記インクリメント指示部22から上記制御データインクリメント指示信号の受け入れを停止している間は、上記実データアドレス生成部24と上記実データ領域とを接続する部分である。

#### 【0031】

(b)より、制御データ領域(c)は、上記ヘッダ部分のデータと上記フッタ



部分のデータとを一時格納する部分である。

実データ領域（d）は、上記実データを一時格納する部分である。

#### 【 0 0 3 2 】

##### 〈具体例 2 の動作〉

動作説明の前提条件を以下のように定める。

##### 前提条件 1

上記実データ長を 1 0 0 0 バイトと定め、その前後に制御データとして、ヘッダ 2 0 バイト、フッタ 4 バイトが付加されているものとする。

##### 前提条件 2

データ一時格納部 1 3（図 2）内に一時格納されるデータの所定単位長を 1 バイトと定める。

#### 【 0 0 3 3 】

図 3 を参照しながら、具体例 2 によるバッファアドレスコントロール手段 2 1 の動作について説明する。

##### ステップ S 1

リンク層コントロール部 1 2（図 2）が、物理層コントロール部 1 1（図 2）からパケットの受け入れを開始したとき、イネーブルレジスタ 5 からカウンタセット信号が出力され、ヘッダ用カウンタ 2 7 にヘッダ 2 0 バイトを所定単位長 1 バイトで除した値 2 0 がセットされる。以後ヘッダ用カウンタ 2 7 はライト信号を受け入れる毎にカウントダウンされる。

更に、データ用カウンタにヘッダ 2 0 バイトと実データ 1 0 0 0 バイトを加算した 1 0 2 0 バイトを所定単位長 1 バイトで除した値 1 0 2 0 がセットされる。以後データ用カウンタ 2 6 はライト信号を受け入れる毎にカウントダウンされる。

#### 【 0 0 3 4 】

##### ステップ S 2

ヘッダ用カウンタ 2 7 は、ライト信号を上記 2 0 個受け入れるまでは（+）信号を出力し続ける。この間データ用カウンタ 2 6 は（-）信号をオアゲート 2 8 に、（+）信号をアンドゲート 3 0 に出力し続ける。ヘッダ用カウンタ 2 7 の（

+) 信号は、オアゲート 28 を通ってインクリメント指示信号となって制御データアドレス生成部 23 と領域切替部 25 へ送られる。制御データアドレス生成部 23 は、このインクリメント指示信号に従ってライト信号を受け入れる毎にインクリメントした制御データインクリメント信号を出力する。同時に実データインクリメント指示信号を受け入れた領域切替部 25 は、上記制御データ領域と制御データアドレス生成部 23 とを接続する。その結果ヘッダ部分の 20 バイトは (b) の領域 (1) に格納される。

#### 【0035】

##### ステップ S3

21 個目のライト信号によってヘッダ用カウンタ 27 の出力は、(-) 信号に変わる。このときデータ用カウンタ 26 の出力はまだ変化しないので、制御データインクリメント信号は停止し、実データインクリメント信号が実データアドレス生成部 24 へ送られる。同時に領域切替部 25 は、制御データインクリメント指示信号が停止したとき実データアドレス生成部と上記 (b) 実データ領域 (d) とを接続して上記制御データ領域と制御データアドレス生成部 23 との接続を解く。その結果実データ部分の 1000 バイトは (b) の領域 (7) に一時格納される。

#### 【0036】

##### ステップ S4

データ用カウンタ 26 は、1021 個目のライト信号を受け入れたときオアゲート 28 へ (+) 信号を、アンドゲート 30 へ (-) 信号を出力する。

従って、制御データインクリメント指示信号が制御データアドレス生成部 23 と領域切替部 25 へ送られる。この状態は 1021 個目からパケットの伝送終了まで継続される。その結果、フッタ部分は (b) の領域 (2) に一時格納される。

#### 【0037】

##### ステップ S5

パケットの伝送を終了し、リンク層コントロール部 12 (図 2) が、物理層コントロール部 11 (図 2) から後続くパケットの受け入れを開始したとき、へ

ッダ用カウンタ 2 7 にヘッダ 2 0 バイトを所定単位長 1 バイトで除した値 2 0 がセットされる。以後ヘッダ用カウンタ 2 7 はライト信号を受け入れる毎にカウントダウンされる。

同様に、データ用カウンタ 2 6 にヘッダ 2 0 バイトと実データ 1 0 0 0 バイトを加算した 1 0 2 0 バイトを所定単位長 1 バイトで除した値 1 0 2 0 がセットされる。以後データ用カウンタ 2 6 はライト信号を受け入れる毎にカウントダウンされる。

以下同様の動作が繰り返される。その結果、(b) に示すように制御データ領域(c) にヘッダ部分とフッタ部分の制御データが、実データ領域(d) に実データ部分が分割されて格納され、実質的に実データの連続性が維持される。

#### 【 0 0 3 8 】

##### 〈具体例 2 の効果〉

以上説明したように、具体例 2 によるシリアルバスデータ転送制御装置によれば制御データと実データが別々に格納されることになるため実データの連続性が維持されるという効果を得る。

更に、制御データも、消失されることなく制御データ領域に格納されているため、伝送トラブル発生時の解決に役立つという効果を得る。

#### 【 0 0 3 9 】

##### 〈具体例 3 の構成〉

具体例 3 では、上記制御データ領域(c) (図 3) は、第一の制御データ領域から第 N の制御データ領域まで複数個(N 個) に分割され、同様に、上記実データ領域(d) は、第一の実データ領域から第 N の実データ領域まで複数個(N 個) に分割される。更に第一のノードから第 N のノードまで複数のノードがシリアルバスデータ転送制御装置に接続されている。この場合に、第一のノードから第 N のノードまで複数のノードからパケットを受け入れたときに、第一のノードから受け入れたパケットのヘッダとフッタとを上記第一の制御データ領域に一時保持させ、上記実データを上記第一の実データ領域に一時保持させる。同様に、第 N のノードから受け入れたパケットまで、それぞれ対応する制御データ領域又は実データ領域に一時保持させる。かかる制御によって特定のノードから一群の実

データが複数のパケットに分割して送られてきても所定の実データ領域の中で実データの連続性を維持することが可能になる。この目的を達成するために以下のように構成される。

## 【0040】

本発明によるシリアルバスデータ転送制御装置が備える具体例3のバッファアドレスコントロール手段について説明する。

図4は、具体例3の構成のブロック図である。

(a)は、構成のブロック図であり、(b)はデータ一時格納部13(図2)に格納されているデータの状態を表している図である。

## 【0041】

図4(a)より、具体例3では、第一から第NまでN個のバッファアドレスコントロール手段(31-1~31-N)とノードデータ切替部32とが配置される。

(b)より、データ一時格納部13(図2)は、制御データ領域(c)と実データ領域(d)とに分割され、更に制御データ領域(c)はID#1ヘッダ/フッタ格納エリアからID#Nヘッダ/フッタ格納エリアまでN個のエリアに、実データ領域(d)はID#1実データ格納エリアからID#N実データ格納エリアまでN個のエリアに分割されている。

## 【0042】

第一から第NまでN個のバッファアドレスコントロール手段(31-1~31-N)は、それぞれが上記具体例2のバッファアドレスコントロール手段21(図3)と全く同様の部分であり、図示してない1~NまでN個のノードに対応して配置される。その動作も具体例2と全く同様である。

## 【0043】

ノードデータ切替部32は、上記第一のバッファアドレスコントロール手段(31-1)から第Nのバッファアドレスコントロール手段(31-N)までと、それぞれに対応する上記第一の制御データ領域から第Nの制御データ領域又は第一の実データ領域から上記第Nの実データ領域までとを接続する部分である。

## 【0044】

### ＜具体例 3 の動作＞

#### ステップ S 1

リンク層コントロール部 1 2（図 2）は、発信元が第一のノード（図示していない）であるパケットを受け入れたとき、第一のイネーブルレジスタ 5 - 1 を指示してカウンタセット信号を出力する。同時にノードデータ切替部 3 2 を指示して第一のバッファアドレスコントロール手段 3 3 - 1 と上記第一の制御データ領域または上記第 N の実データ領域とを接続する。

【 0 0 4 5 】

#### ステップ S 2

以下上記具体例 2 と同様にして、第一のノードから受け入れられたパケットのヘッダ部分とフッタ部分が制御データ領域（c）の ID # 1 制御データ格納エリアに一時保持され、第一のノードから受け入れたパケットの実データ部分が実データ領域（d）の ID # 1 制御データ格納エリア ID # 1 領域に一時保持される。

【 0 0 4 6 】

#### ステップ S 3

以下同様にして、第 N のノードから受け入れられたパケットのヘッダ部分とフッタ部分が制御データ領域（c）の ID # N 制御データ格納エリアに一時保持され、第 N のノードから受け入れられたパケットの実データ部分が実データ領域（d）の ID # N 制御データ格納エリア ID # 1 領域に一時保持される。

その結果、複数のノードから受け入れられたパケットの制御データと実データとが、それぞれ分離されて所定の格納エリアに一時格納される。

【 0 0 4 7 】

### ＜具体例 3 の効果＞

以上説明したように、具体例 3 によるシリアルバスデータ転送制御装置によれば、複数のノードからパケットを受け入れても制御データと実データに、それぞれ分離して所定の格納エリアに一時格納することができる。

従って、特定のノードから実データが複数に分割して送られてきても所定の格納エリアの中で実データの連続性が維持されるという効果を得る。

更に、具体例 2 と同様に、制御データも、消失されることなく制御データ領域に格納されているため、伝送トラブル発生時の解決に役立つという効果を得る。

【 0 0 4 8 】

＜具体例 4＞

具体例 4 は、上記具体例 3 の拡張例である。

具体例 3 では上記のように制御データ領域（c）（図 3）は、予め第一の制御データ領域から第 N の制御データ領域まで複数個（N 個）に等分に分割され、同様に、上記実データ領域（d）も、予め第一の実データ領域から第 N の実データ領域まで複数個（N 個）に等分に分割されていた。従って、時には送られてくるデータ長と予め定められている領域の容量が一致せず、メモリを無駄に消費する場合も発生した。

具体例 4 では、この問題を解決するため、その時々々のデータ長によって領域を任意に設定できるよう、以下のように構成される。

【 0 0 4 9 】

図 5 は、具体例 4 の構成のブロック図である。

具体例 3 との差異のみについて説明する。

図 5 より、第一から第 N まで N 個のバッファアドレスコントロール手段（4 1 - 1 ～ 4 1 - N）は、それぞれ 1 ～ N に対応して第一から第 N までの制御データアドレス生成部（4 2 - 1 ～ 4 2 - N）と、第一から第 N までの実データアドレス生成部（4 3 - 1 ～ 4 3 - N）とを備える。

更に、第一から第 N までの制御データアドレス生成部（4 2 - 1 ～ 4 2 - N）のそれぞれには、制御データ開始終了アドレスレジスタ 4 4 が、配置されている。

同様に、第一から第 N までの実データアドレス生成部（4 3 - 1 ～ 4 3 - N）のそれぞれには、実データ開始終了アドレスレジスタ 4 5 が、配置されている。

【 0 0 5 0 】

制御データ開始終了アドレスレジスタ 4 4 は、自己に対応する制御データ格納エリアの開始アドレスと終了アドレスとを指定する部分である。

第一の制御データアドレス生成部 4 2 - 1 に配置されている開始終了アドレス

レジスタ 4 4 は、第一のノード（図示していない）から送られてくるパケットのヘッダ部分とフッタ部分を格納するための制御データ領域（図 4 の I D # 1 ヘッダ／フッタ格納エリアに相当する）を設定するアドレスレジスタである。ここで、第一のノードの制御データのアドレス開始位置が P 1 でアドレス終了位置が P 2 である。この設定は動作開始時にファームウェアによって設定される。

#### 【 0 0 5 1 】

以下同様に、第 N の制御データアドレス生成部 4 2 - N に配置されている開始終了アドレスレジスタ 4 4 まで、それぞれに対応するノード（図示していない）から送られてくるパケットのヘッダ部分とフッタ部分を格納するための制御データ領域（図 4 の I D # N ヘッダ／フッタ格納エリアまでに相当する）を設定するアドレスレジスタである。

#### 【 0 0 5 2 】

実データ開始終了アドレスレジスタ 4 5 は、自己に対応する実データ格納エリアの開始アドレスと終了アドレスとを指定する部分である。

第一の実データアドレス生成部 4 3 - 1 に配置されている開始終了アドレスレジスタ 4 5 は、第一のノード（図示していない）から送られてくるパケットの実データ部分を格納するための実データ領域（図 4 の I D # 1 データ格納エリアに相当する）を設定するアドレスレジスタである。ここで、第一のノードの実データのアドレス開始位置が Q 1 でアドレス終了位置が Q 2 である。この設定は動作開始時にファームウェアによって設定される。

#### 【 0 0 5 3 】

以下同様に、第 N の実データアドレス生成部 4 3 - 1 に配置されている開始終了アドレスレジスタ 4 4 まで、それぞれに対応するノード（図示していない）から送られてくるパケットの実データ部分を格納するための実データ領域（図 4 の I D # N データ格納エリアまでに相当する）を設定するアドレスレジスタである。

#### 【 0 0 5 4 】

上記リンク層コントロール部 1 2（図 2）は、動作開始時に上記制御データ開始終了アドレスレジスタ 4 4 と上記実データ開始終了アドレスレジスタ 4 5 を制

御して上記第一の制御データ格納エリア（ID # 1 ヘッダ／フッタ格納エリアに相当する）から第Nの制御データ格納エリア（ID # N ヘッダ／フッタ格納エリアに相当する）までと上記第一の実データ格納エリア（ID # 1 データ格納エリアに相当する）から第Nの実データ格納エリア（ID # N データ格納エリアに相当する）までとを設定する。

## 【 0 0 5 5 】

以下上記具体例 3 と同様の動作によって、第一のノードから第Nのノードまで複数のノードからパケットを受け入れたときに、第一のノードから受け入れたパケットのヘッダ部分とフッタ部分とを上記第一の制御データ格納エリア（ID # 1 ヘッダ／フッタ格納エリアに相当する）一時保持させ、上記実データ部分を上記第一の実データ格納エリア（ID # 1 データ格納エリアに相当する）から第Nの実データ格納エリア（ID # N データ格納エリアに相当する）まで、それぞれ対応する制御データ格納エリア又は実データ格納エリアに一時保持させる。

## 【 0 0 5 6 】

## 〈具体例 4 の効果〉

制御データ格納エリアの容量と実データ格納エリアの容量とを任意に設定できるため、各ノード毎、更には、制御データ毎、実データ毎に格納エリアの容量を最適に割り当てることが可能になりメモリ容量を有効に活用できるという効果を得る。

## 【図面の簡単な説明】

## 【図 1】

具体例 1 の構成のブロック図である。

## 【図 2】

シリアルバスデータ転送制御装置のブロック図である。

## 【図 3】

具体例 2 の構成のブロック図である。

## 【図 4】

具体例 3 の構成のブロック図である。

## 【図 5】



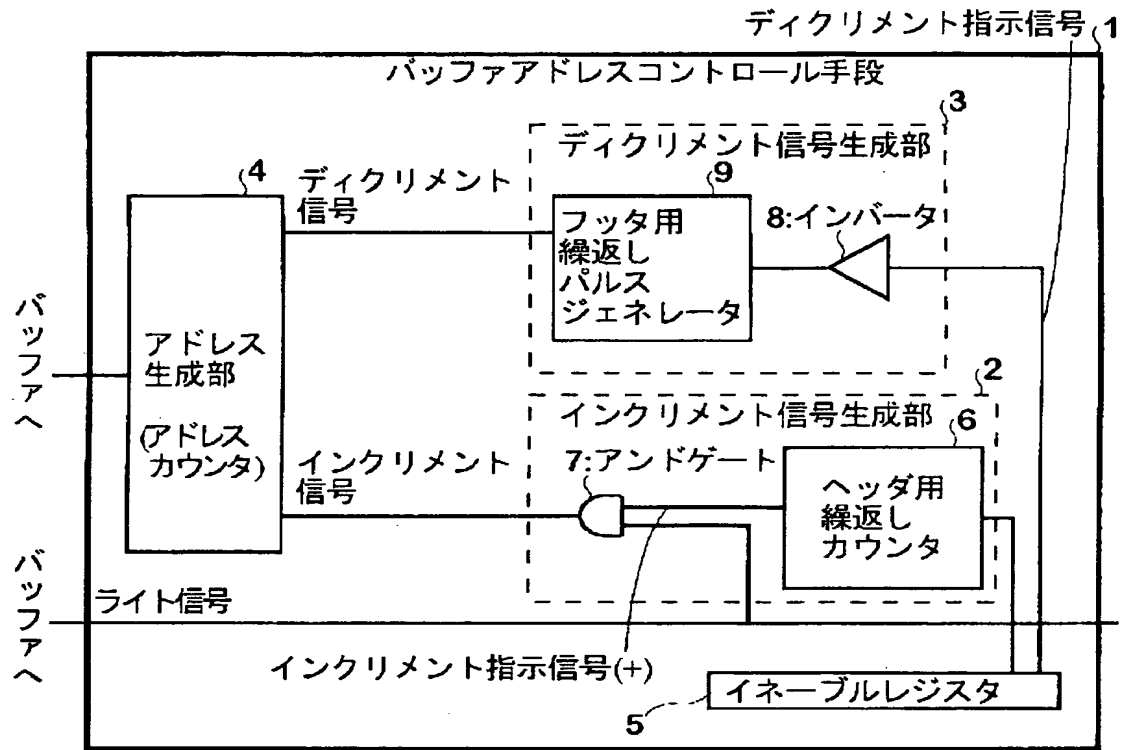
具体例 4 の構成のブロック図である。

【符号の説明】

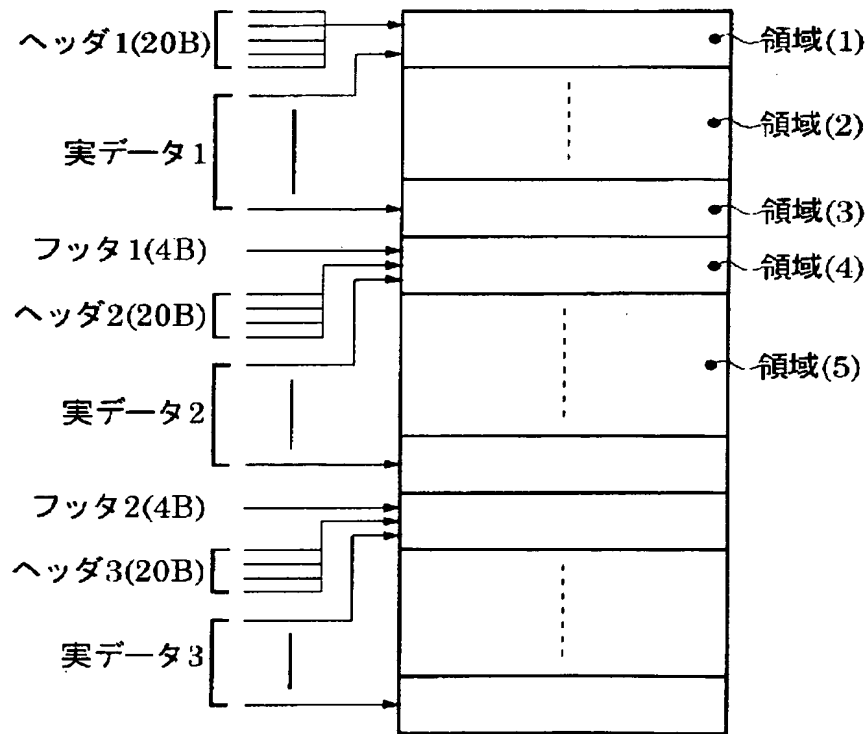
- 1 バッファアドレスコントロール手段
- 2 インクリメント信号生成部
- 3 デクリメント信号生成部
- 4 アドレス生成部
- 5 イネーブルレジスタ
- 6 ヘッダ用繰返しカウンタ
- 7 アンドゲート
- 8 インバータ
- 9 フッタ用繰返しパルスジェネレータ

【書類名】 図面

【図 1】



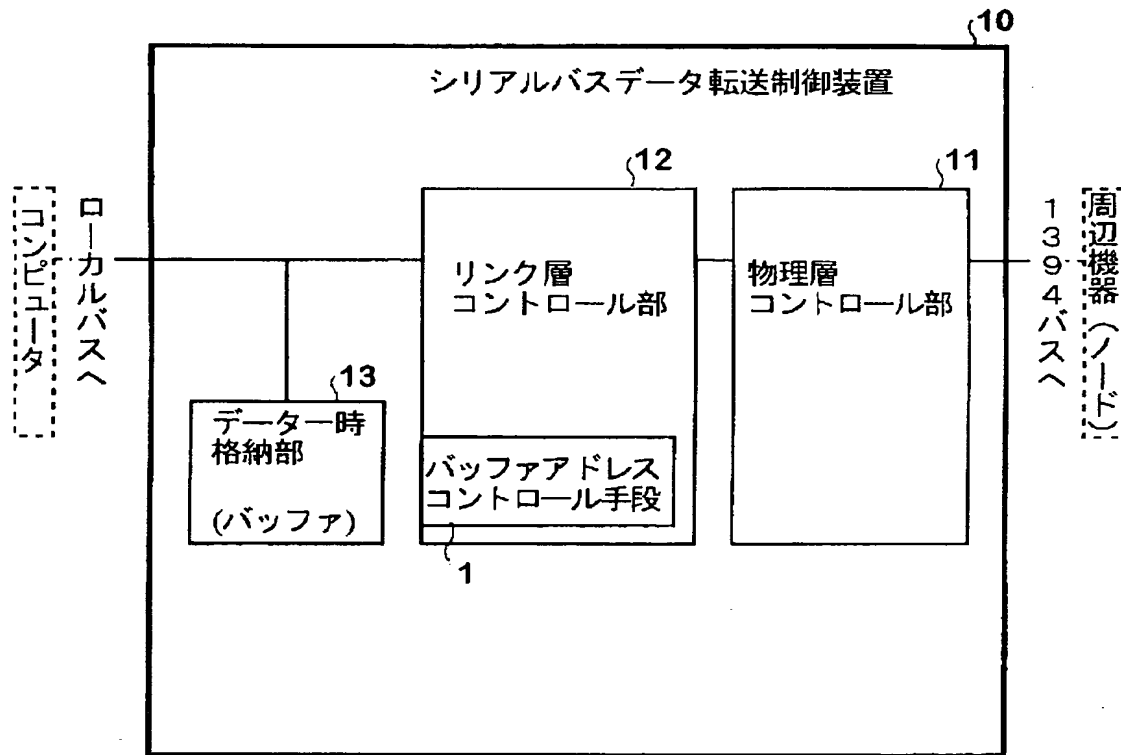
(a)



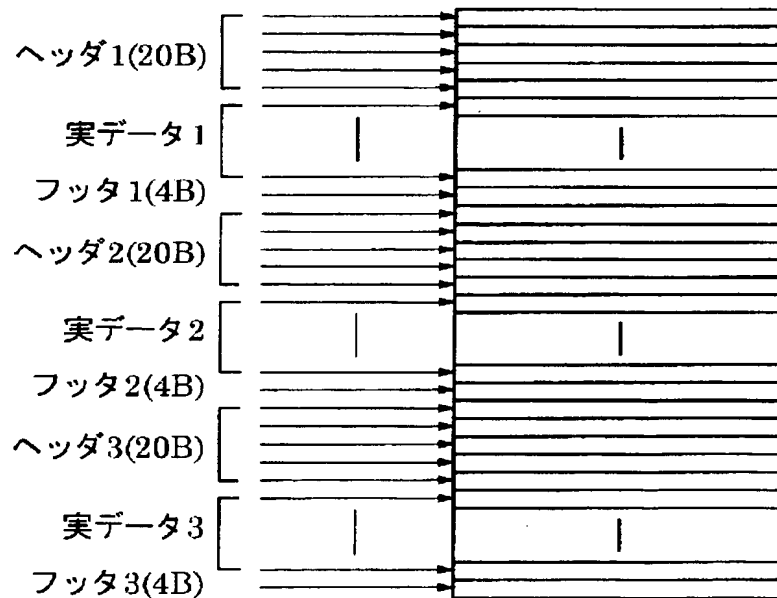
(b)

具体例1の構成のブロック図

【図 2】



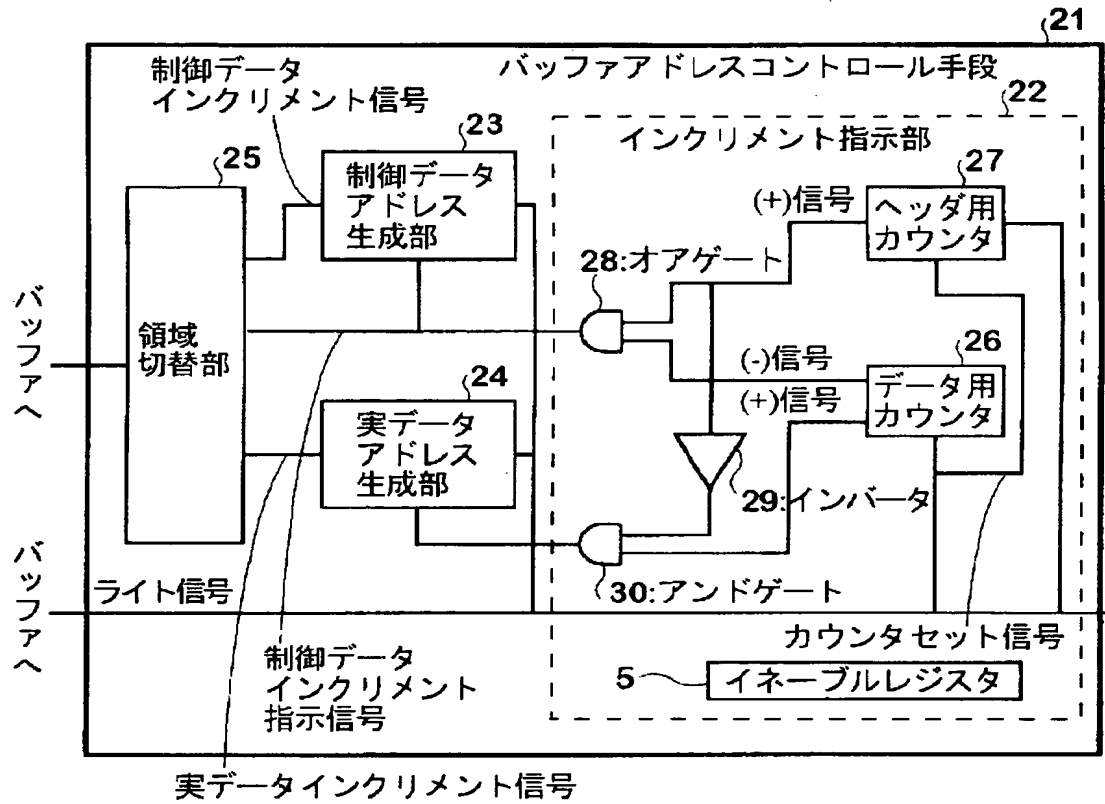
(a)



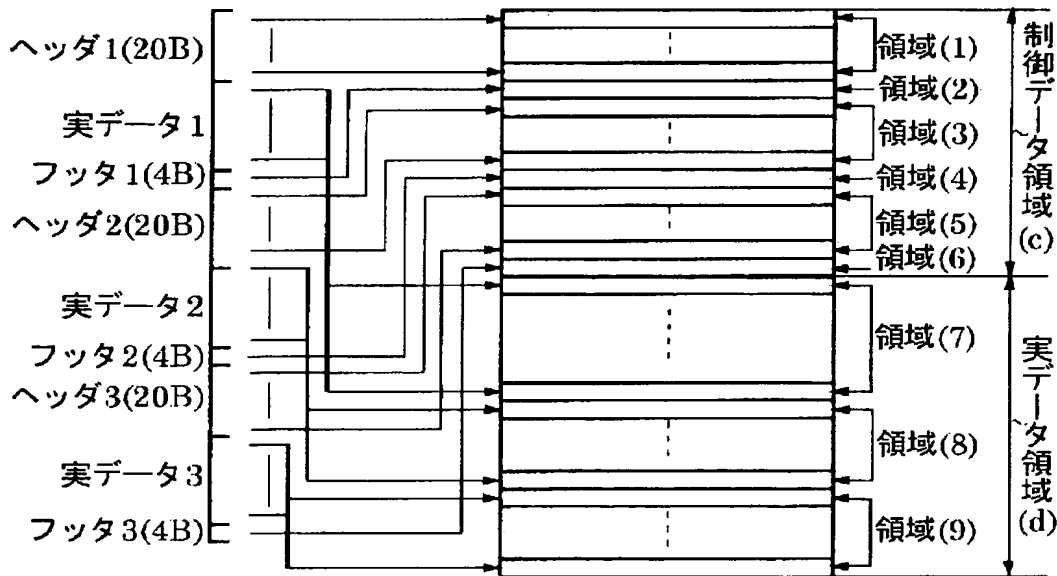
(b)

シリアルバスデータ転送制御装置のブロック図

【図 3】



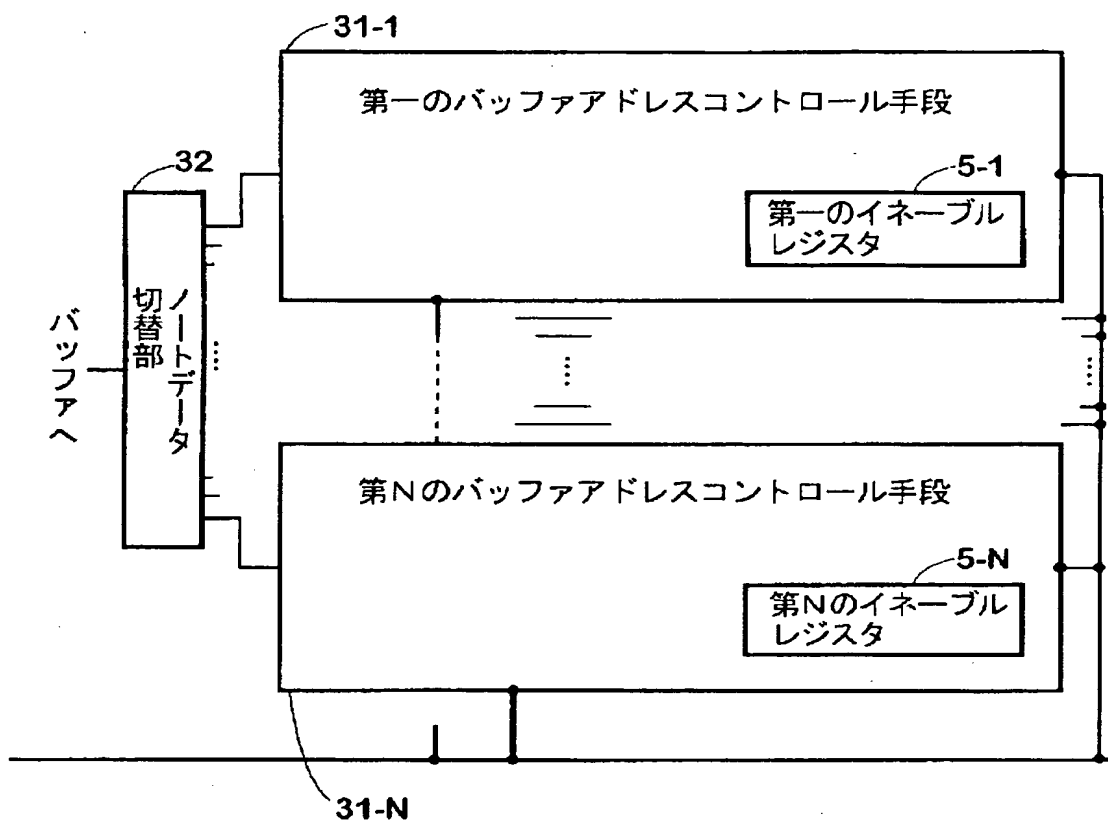
(a)



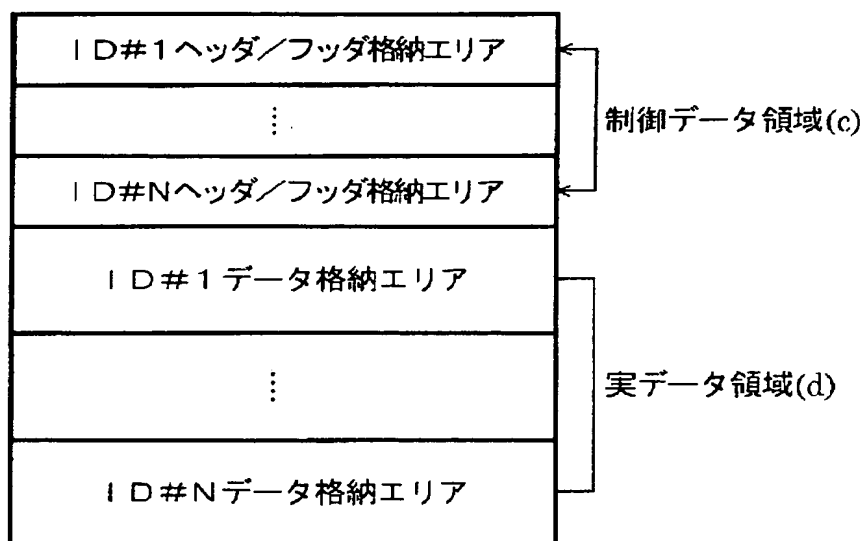
(b)

具体例2の構成のブロック図

【図 4.】



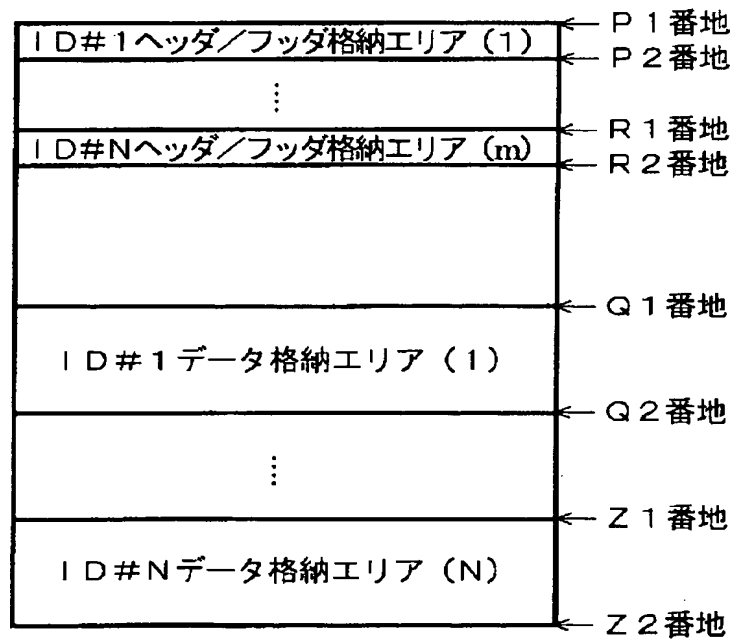
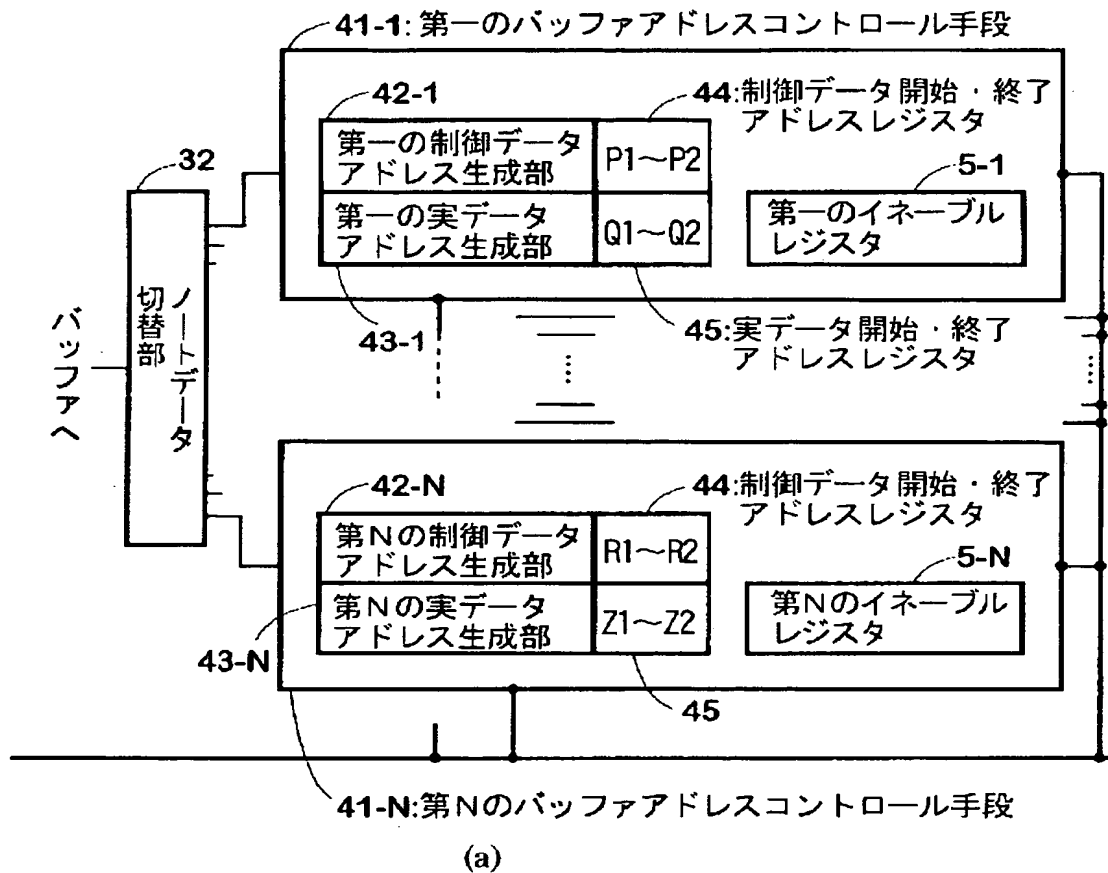
(a)



(h)

具体例3の構成のブロック図

【図 5】



(b)  
具体例 4 の構成のブロック図

【書類名】            要約書

【要約】

【解決手段】    インクリメント信号生成部 2 は、データがヘッダ部分であるときはインクリメント信号の生成を停止し、ヘッダ部分を終了後フッタ部分終了までインクリメント信号を生成し、デクリメント信号生成部 3 は、フッタ部分終了した後にフッタ部分に相当する個数分デクリメント信号を生成し、アドレス生成部 4 は、インクリメント信号とデクリメント信号とに基づいてデータ一時格納部内にデータが一時格納されるアドレスを指定し、パケットからヘッダとフッタを除いて実データのみをデータ一時格納部に一時保持させる。

【効果】    実質的にヘッダとフッタを取り除いた実データのみが格納されることになるため実データの連続性が維持される。

【選択図】            図 1



認定・付加情報

特許出願の番号	特願2000-175013
受付番号	50000725170
書類名	特許願
担当官	第三担当上席 0092
作成日	平成12年 6月13日

<認定情報・付加情報>

【提出日】	平成12年 6月12日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社